

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-199813

(43)Date of publication of application : 18.07.2000

(51)Int.Cl.

G02B 5/18  
G02B 1/11  
G03F 7/20  
// C23C 14/06

(21)Application number : 11-301709

(71)Applicant : CANON INC

(22)Date of filing : 22.10.1999

(72)Inventor : UNNO YASUYUKI  
TANAKA ICHIRO

(30)Priority

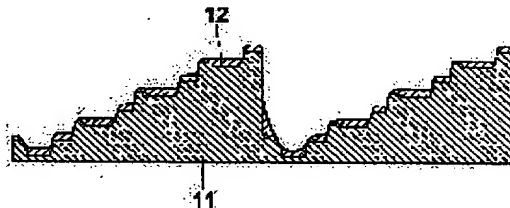
Priority number : 10324524 Priority date : 29.10.1998 Priority country : JP

## (54) MANUFACTURE OF OPTICAL ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To manufacture a binary type diffraction grating optical element which consists of SiO<sub>2</sub> and prevents the degradation in diffraction efficiency by an error in mask alignment.

SOLUTION: The thin film 12 of the same SiO<sub>2</sub> as a SiO<sub>2</sub> substrate 11 inscribed with the binary type diffraction gratings is deposited on the substrate by an RR sputtering method and the surface of the substrate 11 is coated with the fine rugged shapes produced by the error in the alignment of a mask, etc., at a minimum thickness, by which the surface is planarized and the degradation in the diffraction gratings is prevented. The effective diffraction efficiency may thus be greatly improved by forming the film for restoring the shape error or the film of the member having the same refractive index as the refractive index of the substrate on the optical element structure in the manner described above.



## LEGAL STATUS

(19) 日本国特許庁(JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-199813

(P 2000-199813A)

(43) 公開日 平成12年7月18日 (2000. 7. 18)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 2 B	5/18	G 0 2 B	5/18
	1/11	G 0 3 F	7/20 5 0 1
G 0 3 F	7/20	C 2 3 C	14/06 Z
C 2 3 C	14/06	G 0 2 B	1/10 A

審査請求 有 請求項の数 10 O L (全 7 頁)

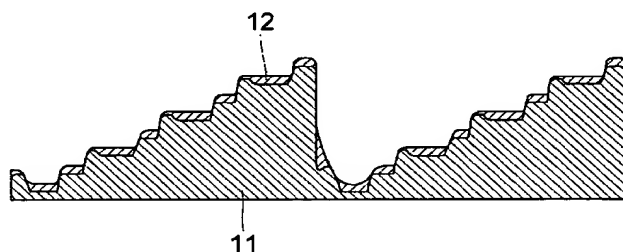
(21) 出願番号	特願平11-301709	(71) 出願人	000001007 キャノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成11年10月22日 (1999. 10. 22)	(72) 発明者	畔野 靖行 東京都大田区下丸子三丁目30番2号 キャ ノン株式会社内
(31) 優先権主張番号	特願平10-324524	(72) 発明者	田中 一郎 東京都大田区下丸子三丁目30番2号 キャ ノン株式会社内
(32) 優先日	平成10年10月29日 (1998. 10. 29)	(74) 代理人	100075948 弁理士 日比谷 征彦
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 光学素子の作製方法

## (57) 【要約】

【課題】 マスク位置合わせ誤差による回折効率の低下を防止した S i O<sub>2</sub>より成るバイナリ型回折光学素子を作製する。

【解決手段】 バイナリ型回折格子を刻み込んだ S i O<sub>2</sub>基板 1 1 上に R F スパッタリング法により同一の S i O<sub>2</sub>の薄膜 1 2 を成膜して、基板 1 1 の表面上にマスクの位置合わせ誤差等により生ずる微細な凹凸形状を最小膜厚で被覆することによって平坦化して、回折効率の低下を防止する。



## 【特許請求の範囲】

【請求項 1】 基板上に凹凸構造を形成した後に、前記構造の上部に前記構造の形状エラーを修復する膜を形成することを特徴とする光学素子の作製方法。

【請求項 2】 リソグラフィにより基板上に階段形状の構造を形成した後に、前記構造の上に前記構造と同一の屈折率を有する膜を形成することを特徴とする光学素子の作製方法。

【請求項 3】 前記基板に対してレジスト塗布、パターン転写、エッチング、残留レジストの除去を含む一連の工程を複数回繰り返すことにより、前記基板上に階段形状の素子構造を形成した後に、該素子構造上に前記構造と同一の屈折率を有する部材の膜を形成することを特徴とする光学素子の作製方法。

【請求項 4】 前記膜の上に前記基板と異なる屈折率を有する部材により単層又は複数層の反射防止膜を形成することを特徴とする請求項 1 に記載の光学素子の作製方法。

【請求項 5】 前記リソグラフィはエッチング又はデボジションを含むことを特徴とする請求項 2 に記載の光学素子の作製方法。

【請求項 6】 請求項 1～5 に記載の方法により作製したことを特徴とするバイナリ型回折光学素子。

【請求項 7】 前記膜の膜厚はバイナリ型を成す回折格子の階段 1 段の高さの  $1/2$  以上、 $3/4$  以下であることを特徴とする請求項 6 に記載のバイナリ型回折光学素子。

【請求項 8】 請求項 1～7 の何れかに記載の方法により作製したことを特徴とする回折光学素子を有する光学

$$\{\sin(\pi/N) / (\pi/N)\}^2 \times 100\% \quad \cdots(1)$$

【0004】例えば、この式(1)に  $N=8$  を代入すれば 95% という結果が得られ、この程度の回折効率であれば、通常の光学系に適用する場合には十分に実用的な値である。また、より高い回折効率が必要な場合には、例えば 16 段の階段構造とすることによって 99% 以上の回折効率を得られる。

【0005】図 7 は従来例の光学素子の作製方法の断面図を示しており、一般には M 枚のマスクを用いて M 回の工程を繰り返すことにより、 $2^N$  段の階段を形成することが可能であるが、図 7 では 3 枚のマスクを用いて、8 段構造から成るピッチ P の回折素子を作製している。ここで、(1)～(4)は第 1 のマスクを用いて 2 段形状を形成する工程、(5)～(8)は第 2 のマスクを用いて 4 段形状を形成する工程、(9)～(12)は第 3 のマスクを用いて 8 段形状を形成する工程を示している。

【0006】先ず、(1)において、屈折率 n の透明なガラス基板 1 上にポジ型のレジスト 2 を塗布し、第 1 のマスク 3 のパターンを露光 L によりレジスト 2 上に転写する。ここで、第 1 のマスク 3 のパターンは遮光部及び開口部の幅はそれぞれ  $P/2$  である。次に、(2)におい

系。

【請求項 9】 請求項 8 に記載の光学系を有することを特徴とする露光装置。

【請求項 10】 請求項 9 に記載の装置によりウェハ上に回路パターンを転写することを特徴とするデバイス製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、微細な凹凸構造を有する素子の作製方法に関し、例えばマスク間の位置合わせ誤差等による作製誤差によって低下した回折格子の回折効率を回復ために回折格子の形状を修復できる光学素子の作製方法に関するものである。

## 【0002】

【従来の技術】従来から、回折光学素子は屈折素子と組み合わせて使用することにより、色収差の補正が可能となるとか、光学系の小型軽量化が可能となるという利点があり、様々な分野で実用化を目指して研究が進められている。特に近年では、回折光学素子表面のブレード形状を階段形状によって近似し、半導体素子製造用のリソグラフィ工程を使用して作製する方式が一般化して、微細なピッチ構造を高精度に実現することが可能となり、商業的な実用化が加速されると共に、その応用範囲が益々拡大している。

【0003】このように、表面を階段形状に形成した回折光学素子は、バイナリ型回折光学素子と呼ばれ、理想的なブレード形状の場合は 100% の回折効率を得られるが、N 段の階段形状で近似した場合には、その回折効率は次式で表される値となる。

てレジスト 2 の現像が行われ、レジストパターン 2' が得られ、(3)においてこのレジストパターン 2' をマスクとして、ガラス基板 1 のエッチングが行われる。そして、不要なレジストパターン 2' を除去することにより、(4)に示すように 2 段の階段形状が作製される。このときのエッチングの深さ  $d_1$  は、使用する波長を  $\lambda$  とすると次式により決定される。

$$d_1 = (\lambda/2) / (n-1) \quad \cdots(2)$$

【0007】続いて、2 段形状が作製されたガラス基板 1 に対して、改めてレジスト 4 を塗布し、第 2 のマスク 5 を用いる第 2 の工程に移行する。(5)において、第 1 のマスク 3 の半分のピッチを有する第 2 のマスク 5 を用いた第 2 の露光を行う。この第 2 のマスク 5 の遮光部及び開口部の幅はそれぞれ  $P/4$  であり、パターンの端を 2 段階段構造の端に正確に位置合わせして露光を行う。(6)において、現像処理後に図示するようなレジストパターン 4' が形成される。次に(7)において、レジストパターン 4' をマスクとして 2 回目のエッチングを行い、不要のレジストパターン 4' を除去することにより、(8)に示すように 4 段の階段形状が作製される。こ

の 2 回目のエッチングにおけるエッチング深さ  $d_2$  は、次式により決定される。

$$d_2 = (\lambda / 4) / (n - 1) \quad \dots (3)$$

【0008】 8 段形状を作製するためには、4 段形状が作製された基板 1 に対して、改めてレジスト 6 を塗布し、第 2 のマスク 5 の半分のパターンを有する第 3 のマスク 7 を用いて同様の工程を繰り返す。(9)において、第 3 のマスク 7 を用いた第 3 の露光を行う。第 3 のマスク 7 の開口部の幅はそれぞれ  $P/8$  である。パターンの端を 4 段の階段形状の端に正確に位置合わせをして露光を行う。(10)において、現像処理後に図示するようなレジストパターン 6' が形成される。次に(11)において、レジストパターン 6' をマスクとして 3 回目のエッチングを行い、その後、不要なレジストパターン 6' の除去を行う。ここで、3 回目のエッチングにおけるエッチング深さ  $d_3$  は次式により与えられる。

$$d_3 = (\lambda / 8) / (n - 1) \quad \dots (4)$$

【0009】 これらの工程により、(12)に示すような階段 1 段当りの高さが  $d_3$ 、ピッチが  $P$  の 8 段の階段形状が作製される。

【0010】 図 8 は 3 枚のマスク 3、5、7 と最終的に得られる 8 段形状の相対的な位置関係を示し、階段の最も低い部分と最も高い部分の高低差は  $(7\lambda/8)/(n-1)$  となり、階段 1 段当りの高さは  $(\lambda/8)/(n-1)$  となる。

【0011】 この場合は、1 次回折光に対する最大回折効率 95% が得られ、例えば  $\lambda = 248 \text{ nm}$ 、基板 1 の材料を  $\text{SiO}_2$  (石英) として  $n = 1.51$  を代入すると、階段 1 段当りの高さは  $61 \text{ nm}$  となる。

【0012】 8 段バイナリ型回折素子の回折効率は 95% となるが、これは空気/基板間のフレネル反射を無視して得られる値のため、空気/基板の境界におけるフレネル反射による光の損失まで考慮すると、8 段の光学素子の理論的な回折効率は約 91% となる。

#### 【0013】

【発明が解決しようとする課題】 しかしながら上述の従来例においては、複数のマスク間の位置合わせ誤差が問題となる。図 8 に示す光学素子の場合、3 枚のマスク 3、5、7 間の位置合わせ誤差がゼロの場合に得られる理想的な 8 段形状を示しているが、マスクパターンの露光を行う露光装置において、マスク 3、5、7 の位置合わせ誤差をゼロにすることは事実上不可能であり、現実には位置合わせ誤差が生ずることは避けられない。

【0014】 図 9 は 3 枚のマスク 3、5、7 の相対位置がずれてしまった場合に得られる素子表面の形状を示している。ここでは、第 1 のマスク 3 と第 2 のマスク 5 は位置が正確に合わせられているが、第 3 のマスク 7 の位置が相対的にずれてしまった場合の例を示しており、マスク 3、5、7 のずれ方に対応して素子表面の形状も変化するが、理想的な 8 段の階段形状となるものが、マ

スク 3、5、7 の位置合わせ誤差によって、階段状の凹凸よりも更に微細な凹凸を有する複雑な形状となってしまふ。

【0015】 図 9 の形状はエッチングが垂直方向にのみ理想的に進むとして計算により求めたものであるが、微細な幅を有する突起部分は、実際にはエッチングの際に削り取られてしまう。また、エッチング速度の場所による不均一性の影響等も加わり、素子表面の形状は走査型電子顕微鏡による観察の結果、図 10 に示すようなピッチ  $P = 5.0 \mu\text{m}$  の回折素子に対して得られた形状になる。この光学素子の回折効率を測定すると、79% の値しか得られず、理想値の 91% から 10% 以上大きく低下するという問題が生ずる。

【0016】 本発明の目的は、上述の問題点を解消し、マスク位置合わせ誤差による回折効率の低下を防止し得る光学素子の作製方法を提供することにある。

#### 【0017】

【課題を解決するための手段】 上記目的を達成するための本発明の第 1 の形態は、基板上に凹凸構造を形成した後に、前記構造の上部に前記構造の形状エラーを修復する膜を形成することを特徴とする光学素子の作製方法である。

【0018】 また、本発明の第 2 の形態は、リソグラフィにより基板上に階段形状の構造を形成した後に、前記構造の上に前記構造と同一の屈折率を有する膜を形成することを特徴とする光学素子の作製方法である。

【0019】 本発明の第 3 の形態は、前記基板に対してレジスト塗布、パターン転写、エッチング、残留レジストの除去を含む一連の工程を複数回繰り返すことにより、前記基板上に階段形状の素子構造を形成した後に、該素子構造上に前記構造と同一の屈折率を有する部材の膜を形成することを特徴とする光学素子の作製方法である。

【0020】 本発明の第 4 の形態は、前記膜の上に前記基板と異なる屈折率を有する部材により単層又は複数層の反射防止膜を形成することを特徴とする請求項 1 に記載の光学素子の作製方法である。

【0021】 本発明の第 5 の形態は、前記リソグラフィはエッチング又はデポジションを含むことを特徴とする請求項 2 に記載の光学素子の作製方法である。

【0022】 本発明の第 6 の形態は、請求項 1～5 に記載の方法により作製したことを特徴とするバイナリ型回折光学素子である。

【0023】 本発明の第 7 の形態は、前記膜の膜厚はバイナリ型を成す回折格子の階段 1 段の高さの  $1/2$  以上、 $3/4$  以下であることを特徴とする請求項 6 に記載のバイナリ型回折光学素子である。

【0024】 本発明の第 8 の形態は、請求項 1～7 の何れかに記載の方法により作製したことを特徴とする回折光学素子を有する光学系である。

【0025】本発明の第9の形態は、請求項8に記載の光学系を有することを特徴とする露光装置である。

【0026】本発明の第10の形態は、請求項9に記載の装置によりウェハ上に回路パターンを転写することを特徴とするデバイス製造方法である。

【0027】

【発明の実施の形態】本発明を図1～図6に図示の実施例に基づいて詳細に説明する。図1は本実施例における回折光学素子の断面図を示し、11はバイナリ型回折素子が形成されたSiO<sub>2</sub>（石英）ガラスの基板であり、マスク位置合わせ誤差の結果、従来例の図10と同様の表面形状をしている。また、基板11の表面上には、基板11つまり回折格子と同じSiO<sub>2</sub>から成る単層の薄膜12が形成されている。

【0028】図2は薄膜を作製する装置として、SiO<sub>2</sub>の成膜に広く使用される高周波（RF）スパッタリング装置の構成図を示しており、この他に真空蒸着法やプラズマCVD法等が知られている。RFスパッタリング装置は高エネルギーの陽イオンをターゲット13に衝突させてイオンエネルギーを与えることによって、ターゲット13の表面からその原子又は分子が飛び出し、これがターゲット13に対向配置した基板11上に凝結して、その表面に薄膜を形成する方式である。

【0029】装置の主要部を密閉する真空チャンバ14は、排気系15により内部の圧力調節が可能となっており、また内部にArガスを導入するガス供給系16が接続されている。真空チャンバ14の内部には、SiO<sub>2</sub>ターゲット13と対向して、表面にバイナリ型の回折素子が形成された基板11が配置されており、基板11とターゲット13はそれぞれ基板保持具17、ターゲット保持具18に保持され、RF電源19の出力が基板保持具17と、またマッチングボックス20を介してターゲット保持具18とに接続されている。

【0030】ガス供給系16からArガスが導入され、Arガスは放電によりイオン化された後に、SiO<sub>2</sub>ターゲット13に衝突を繰り返し、ターゲット13から飛び出してきた物質によって基板11上に膜が形成される。その際に、マッチングボックス20はRF電源19からのエネルギーを効率的にターゲット13に供給する。また、RFスパッタリング時の放電ガスの圧力は、10<sup>-1</sup>～10<sup>-2</sup>Pa程度になるように排気系15により制御されている。

【0031】SiO<sub>2</sub>ターゲット13に対してRFスパッタリング法を使用すると、非常に方向選択性に優れた成膜が可能となるので、膜物質が階段形状の側面に付着することを微量に抑え、大部分を階段形状の水平面上に付着させることが可能となる。このようにして基板11上に作製された膜12は、基板11の表面の微細な凹凸形状を正確に反映させることなく、膜厚の増加と共に表面を平面に近付け、形状エラーを修復する作用を果たす

ことになる。

【0032】このとき、膜12の膜厚が薄すぎると基板11の表面の凹凸形状が膜12の表面にまで残ってしまい、逆に膜12の膜厚が厚すぎると階段形状の角が鈍ってしまう等の悪影響が現れる。従って、基板11の微細な凹凸形状を平坦化するために必要な最小の膜厚が最適膜厚として選択され、これは通常では階段1段当りの高さの1/2～3/4の程度となる。具体例としては、SiO<sub>2</sub>基板11に対して8段でバイナリ素子を作製する場合の1段の高さは、 $\lambda = 248 \text{ nm}$ 、屈折率 $n = 1.51$ の場合で61nmであり、膜厚としては30～45nm程度となる。

【0033】このように、膜12の材料として基板11の材料と同じ物質を使用するので、膜12が形成された状態で、膜12と基板11との界面における反射は発生することはない。従って、反射は空気と膜12の界面においてのみ発生し、また製造誤差による回折効率の低下も抑えられるので、結果的にバイナリ型回折素子における回折率は86%まで上昇する。これは8段形状で空気/基板界面のフレネル反射を考慮した場合の理想的な値91%に相当に近く、SiO<sub>2</sub>膜12を形成する前の状態に比較すると7%上昇する。

【0034】また他の方法として、空気/基板界面からのフレネル反射を抑えるために、反射防止膜を設けて基板11の表面からの反射を抑えることによって、例えば8段形状バイナリ型回折素子の回折効率を、理想値95%に限りなく近付けることが可能となる。しかしながら、図10に示すような状態の基板1の表面に、直接反射防止膜を形成しても、反射防止膜は基板1とは異なる物質によって成膜を行うので、少なくとも第1層目は表面の微細な凹凸によって膜厚が局所的に変動するため反射防止効果に限界がある。これに対し、本実施例においては初めに階段形状の表面を平坦化し、その上に反射防止膜を形成するようにすることになるので、従来よりも高い反射防止効果が得られる。

【0035】図3は単層膜により反射防止を行う場合の断面図を示し、表面の微細な凹凸の影響を軽減したSiO<sub>2</sub>のバイナリ型回折素子基板21上に、MgF<sub>2</sub>の単層膜22を形成する。波長 $\lambda = 248 \text{ nm}$ の場合はMgF<sub>2</sub>の屈折率は $n = 1.43$ であり、膜厚 $d$ を $n \cdot d = \lambda / 4$ 、即ち $d = 43.4 \text{ nm}$ とすることにより、反射が減少して理論回折率は91%から95%に上昇する。

【0036】図4は2層構造による反射防止を行うための断面図を示し、Al<sub>2</sub>O<sub>3</sub>膜23とMgF<sub>2</sub>膜24により2層の反射防止膜を構成している。MgF<sub>2</sub>膜24の膜厚 $d$ は43.4nmであり、Al<sub>2</sub>O<sub>3</sub>膜23に関しては、屈折率を $n'$ とすると膜厚 $d'$ は $n' \cdot d' = \lambda / 4$ により決まり、具体的には $\lambda = 248 \text{ nm}$ 、 $n' = 1.72$ を代入して、 $d' = 36.0 \text{ nm}$ が得られる。この2層膜により、空気/基板界面における反射はほぼ

ゼロにすることが可能となり、理論回折効率は 95% にまで上昇する。

【0037】なお、実際上は 8 段バイナリ素子で回折効率 95% を達成するのは困難であるが、基板 11 上に直接反射防止膜を形成する代りに、 $\text{SiO}_2$  膜 12 を下地として形成し、その上に反射防止膜を形成することによって、反射防止膜の性能を十分に発揮することができる。

【0038】また、薄膜の形成方法としてスピノンガラス (SOG) を用いてもよい。図 10 に示すような表面形状の乱れたバイナリ型光学素子に対し、スピナにより SOG を塗布する。このときの塗布条件としては、スピナの回転数を 8000 rpm として行い、その後

にベーキングを 80℃ で 20 分間行った後に、250℃ で 20 分間行う。この結果、バイナリ型光学素子の表面には図 1 において示すものと同様の単層膜が形成される。そして、このように SOG 膜を形成しても、回折効率を向上させることができる。

【0039】以上は透過形の光学素子のついて説明したが、本発明は反射型の光学素子においても適用することができる。この場合に、バイナリ素子上には必要な厚さの単層又は多層の反射膜が形成される。

【0040】図 5 は半導体露光装置の断面図を示しており、光学系に先の実施例において作製した回折光学素子を用いている。照明系 31 から出射した光束 L は、ステージ 32 に支持されたレチクル 33 を照明し、このレチクル 33 に描かれたパターンを、投影系 34 によりステージ 35 上に設置したウェハ 36 に描画する。

【0041】図 6 (a) は IC や LSI 等の半導体チップ、液晶パネル或いは CCD 等の半導体デバイスの製造工程のフローチャート図を示している。先ず、ステップ S1 において半導体デバイスの回路設計を行い、続いてステップ S2 においてステップ S1 で設計した回路パターンを EB 描画装置等を用いマスクを作成する。一方、ステップ S3 においてシリコン等の材料を用いてウェハを製造する。その後、前工程と呼ばれるステップ S4 において、ステップ S2、S3 において用意したマスク及びウェハを用い、マスクを露光装置内にローディングし、マスクを搬送しマスクチャックにチャッキングする。

【0042】次に、ウェハをローディングしてアライメントのずれを検出して、ウェハステージを駆動して位置合わせを行い、アライメントが合致すると露光を行う。露光の終了後にウェハは次のショットヘステップ移動し、リソグラフィ技術によってウェハ上に回路を形成する。更に、後工程と呼ばれるステップ S5 において、ステップ S4 によって製造されたウェハを用いてダイシング、ボンディング等のアッセンブリ工程、チップ封入等のパッケージング工程を経て半導体チップ化する。チップ化された半導体デバイスは、ステップ S6 において動

作確認テスト、耐久テスト等の検査を行う。このような一連の工程を経て半導体デバイスは完成し、ステップ S7 に進み出荷される。

【0043】図 6 (b) は図 6 (a) におけるステップ S3 において、ウェハ製造の詳細な製造工程のフローチャート図を示している。先ず、ステップ S11 においてウェハ表面を酸化させる。続いて、ステップ S12 においてウェハ表面を CVD 法により絶縁膜を形成し、ステップ S13 において電極を蒸着法により形成する。更にステップ S14 に進みウェハにイオンを打込む。続いて、ステップ S15 においてウェハ上に感光剤を塗布する。ステップ S16 では半導体露光装置によりマスクの回路パターンをウェハ上の感光剤上に焼付ける。

【0044】ステップ S17 において、ステップ S16 において露光したウェハ上の感光剤を現像する。更に、ステップ S18 でステップ S17 において現像したレジスト像以外の部分をエッチングする。その後、ステップ S19 においてエッチングが済んで不要となったレジストを剥離する。更に、これらの一連の工程を繰り返すことにより、ウェハ上に多重の回路パターンを形成することができる。

#### 【0045】

【発明の効果】以上説明したように本発明に係る光学素子の作製方法は、光学素子構造上に形状エラーを修復する膜或いは基板と同一の屈折率を有する部材の膜を形成することにより、実効的回折効率を大幅に向上することができる。

#### 【図面の簡単な説明】

【図 1】バイナリ型回折光学素子の断面図である。

【図 2】スパッタリング装置の構成図である。

【図 3】単層膜を形成した回折光学素子の断面図である。

【図 4】積層膜を形成した回折光学素子の断面図である。

【図 5】半導体露光装置の断面図である。

【図 6】半導体素子の製造方法のフローチャート図である。

【図 7】バイナリ型回折光学素子の作製模式図である。

【図 8】3 枚のマスクと光学素子表面形状の断面図である。

【図 9】マスクの位置合わせ誤差の断面図である。

【図 10】光学素子表面形状の断面図である。

#### 【符号の説明】

11、21  $\text{SiO}_2$  基板

12  $\text{SiO}_2$  膜

13  $\text{SiO}_2$  ターゲット

14 真空チャンバ

15 ガス排気系

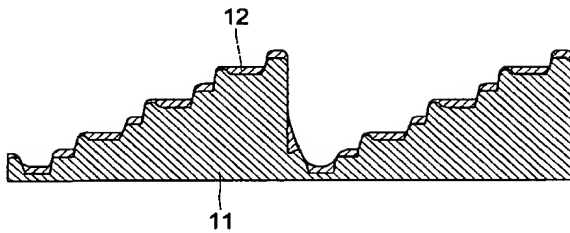
16 ガス供給系

19 RF 電源

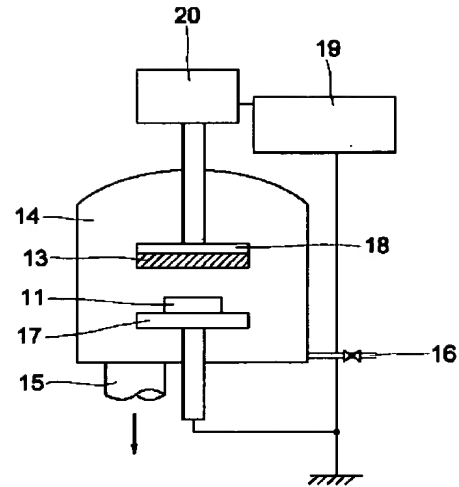
20 マッチングボックス  
 22、24 MgF<sub>2</sub>膜  
 23 Al<sub>2</sub>O<sub>3</sub>膜  
 31 照明系

32、35 ステージ  
 33 レチクル  
 34 投影系  
 36 ウェハ

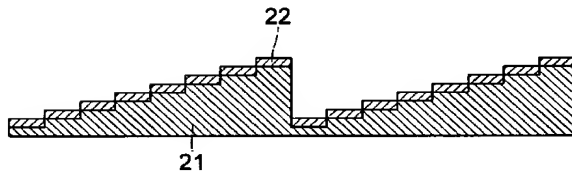
【図1】



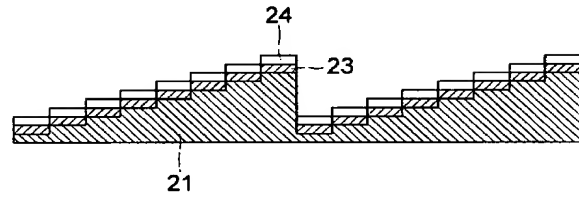
【図2】



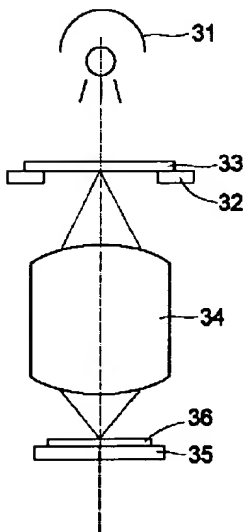
【図3】



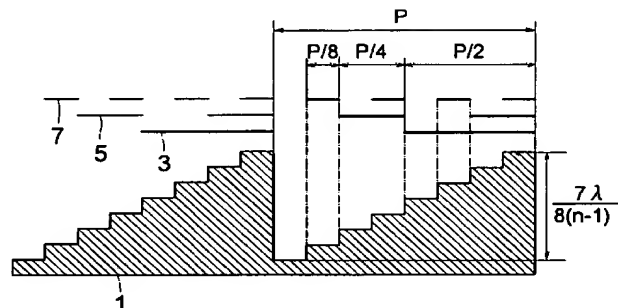
【図4】



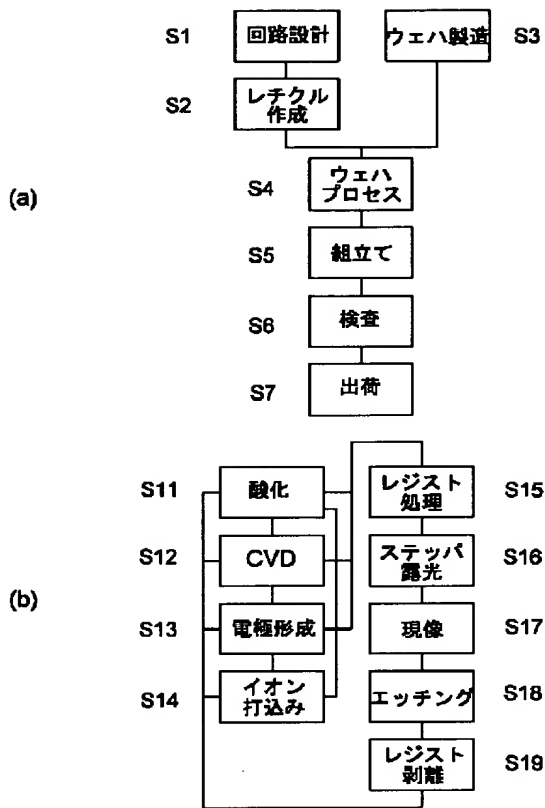
【図5】



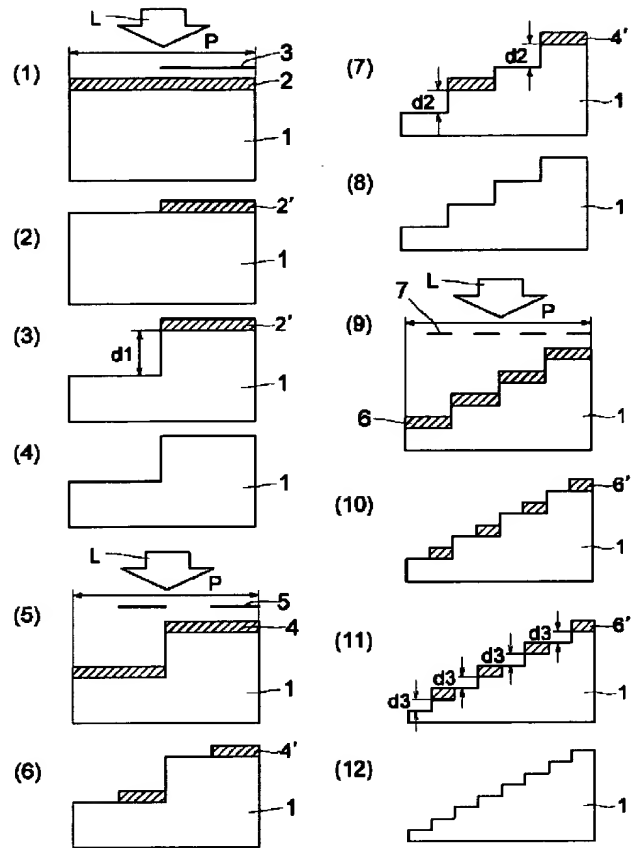
【図8】



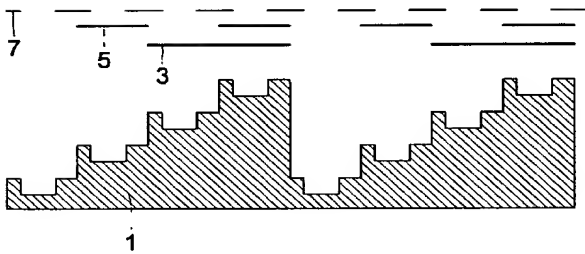
【図 6】



【図 7】



【図 9】



【図 10】

